

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-169293

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

G11C 29/00

H01L 21/82

H01L 27/10

(21)Application number : 05-313561

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.12.1993

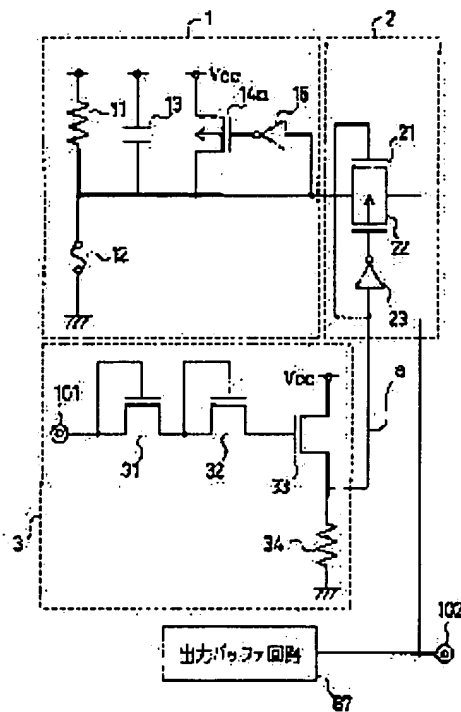
(72)Inventor : ICHIMURA TORU

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To obtain a semiconductor memory which can simply discriminate whether a redundant circuit is used or not without opening a package.

CONSTITUTION: This device is a semiconductor memory provided with a fuse 12 of which one end is grounded and which is cut when a redundant circuit is used, a detecting circuit 1 which latches a potential of the fuse 12 and outputs it, a switch circuit 2 which connects the output of the detecting circuit 1 to an output terminal 102, and a control circuit 3 which controls the switch circuit 2 based on a signal of an input terminal 101. The fuse 12 is cut when a redundant circuit is used, an H level signal is outputted to the output terminal 102 through the switch 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-169293

(43) 公開日 平成7年(1995)7月4日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 29/00	3 0 1 B	6866-5L		
H 0 1 L 21/82				
27/10	4 9 1	7210-4M		
		8832-4M	H 0 1 L 21/ 82	R

審査請求 未請求 請求項の数1 O L (全 7 頁)

(21) 出願番号 特願平5-313561

(22) 出願日 平成5年(1993)12月14日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 市村 徹

伊丹市東野四丁目61番5号 三菱電機エン

지니어リング株式会社エル・エス・アイ設

計センター内

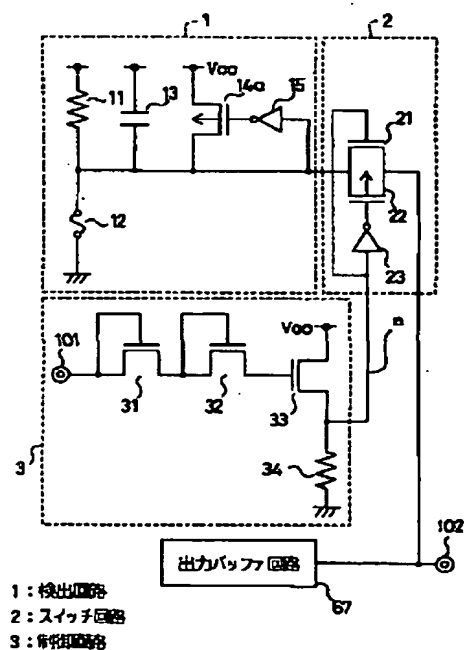
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 パッケージを開封することなく、冗長回路を使用しているかどうかを簡単に判定することができる半導体記憶装置を得る。

【構成】 一端が接地され、冗長回路を使用するときにあわせて切断されるヒューズ12と、上記ヒューズ12の電位をラッチして出力する検出回路1と、検出回路1の出力を出力端子102に接続するスイッチ回路2と、入力端子102の信号に基づき上記スイッチ回路2を制御する制御回路3とを備えた半導体記憶装置である。冗長回路使用時はヒューズ12は切断され、スイッチ2を介して出力端子102にHレベルが出力される。



1

【特許請求の範囲】

【請求項 1】 メモリセルアレイ中の一部のメモリセルに製造不良が生じたときに、上記不良のメモリセルを冗長メモリセルに置き換えて製造する半導体記憶装置において、

上記不良のメモリセルと上記冗長メモリセルとの置き換えに対応して切断されるヒューズと、上記ヒューズの状態に応じた電位をラッチし出力する検出手段と、外部からの制御信号に基づき上記検出手段の出力を出力端子に接続する接続手段とを備える半導体記憶装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 この発明は、冗長メモリセルを備えた、DRAM、SRAM、ROM等の半導体記憶装置に関するものである。

【0002】

【従来の技術】 図5は、従来の半導体記憶装置のDRAMの概略を示す構成図である。同図において、51は外部からアドレス信号を受けるアドレスバッファ、52はアドレスバッファ51の出力を行アドレスと列アドレスに分けるマルチプレクサ、53は行アドレスをデコードする行デコーダ、54は列アドレスをデコードする列デコーダ、55は多数のメモリセルからなるメモリセルアレイ、56は行冗長メモリセル60を使用するための行冗長ヒューズ、57は行冗長メモリセル60を使用するための行冗長デコーダ、58は列冗長メモリセル61を使用するための列冗長ヒューズ、59は列冗長メモリセル61を使用するための列冗長デコーダ、60はメモリセルアレイ55に生じた不良のメモリセルのうち行方向のものを置き換えるための行冗長メモリ、61は同じく不良のメモリセルのうち列方向のものを置き換えるための列冗長メモリ、62はメモリセルアレイ55からデータを読み出し、あるいは書き込みするためのセンスアンプ、63はメモリセルアレイ55からのデータの入出力を制御するI/Oコントロール、64は入力されたデータをI/Oバッファ63に供給する書き込みバッファ、65は入力データを増幅する入力バッファ、66は出力データを前置増幅するブリアンプ、67はブリアンプ66の出力を増幅し外部へ出力する出力バッファである。

【0003】 次に動作について説明する。外部から入力されたアドレス信号に従って、メモリセルアレイ55中の特定のメモリセルが選択され、センスアンプ62を介して入力データがこのメモリセルに書き込まれたり、あるいはこのメモリセルからデータが読み出され、出力バッファ67により増幅された後に外部に対し出力される。

【0004】 ところで、この半導体記憶装置の製造においては、冗長メモリに関する以下のような工程を伴う。すなわち、この製造工程における歩留まりを向上するために、予備のメモリセルを予め設けておき、不良のメモ

2

リセルを予備のメモリセルと入れ換えることが行われる。製造工程における予備のメモリセルとの入れ換えは、電気的に、あるいはレーザーを用いて所定のヒューズ回路を切断することにより行われる。例えば、メモリセルアレイ55の一部の行に不良が発見された場合、まずこの行を特定し対応する行冗長ヒューズ56を切断する。すると、不良の行がアクセスされた場合、行冗長デコーダ57によりメモリセルアレイ55の不良の行の代わりに予備の行冗長メモリ60がアクセスされる。列方向の不良が発見された場合も同様である。

【0005】 このように、半導体記憶装置に不良となったメモリセルが存在しても、不良の発生したメモリセルの行または列を冗長なメモリセルの行または列と置き換えるので、全てのアドレスにおいて正常に動作をする。そして、このように救済された半導体記憶装置は、冗長メモリを使用していない半導体記憶装置の場合と同じようにパッケージングされ、製品として出荷される。

【0006】

【発明が解決しようとする課題】 従来の半導体記憶装置は、以上のように構成されているので、半導体記憶装置のメモリセルアレイの一部に不良が発生しても全てのアドレスについて正常に動作させることができる。つまり、ユーザーは、メモリセルアレイに欠陥がない半導体記憶装置であるのか、あるいは、メモリセルアレイに欠陥があり、冗長回路を使用することにより正常動作させているかを意識せずに、同じ条件で使用することができる。

【0007】 このように冗長回路の使用の有無は、その半導体記憶装置が装置に組み込まれ正常に動作している限りほとんど問題にならない。しかしながら、ときとして半導体記憶装置が冗長回路を使用しているかどうかを判別したいことがある。例えば、その半導体記憶装置を製造するメーカーが、誤動作した半導体記憶装置を調査し、この誤動作の原因を究明する場合である。この半導体記憶装置が冗長回路を使用しているかどうかにより、その調査内容、方法が異なるからである。例えば、この半導体記憶装置の不良メモリセルが同一の行に存在し、そしてこの行が冗長回路に置き換えられていれば、不良の原因は冗長回路にあることになる。他方、冗長回路に置き換えられていなければ、冗長回路以外の部分（例えばメモリセル）に不良原因があることになる。したがって、冗長回路の使用の有無により調査すべき回路が異なる。

【0008】 このような場合は、半導体記憶装置が冗長回路を使用しているのか、それとも使用していないのかを判別することが重要になってくるが、半導体記憶装置がパッケージされ製品となった後はこのことを簡単には判別することができない。いままでは、例えばパッケージを開封して、パッケージ内部の半導体基板を顕微鏡等で観察することにより行われたが、これには相当の技術

3

と熟練を要するとともに、多大の労力と時間を必要とした。

【0009】この発明は上記のような問題点を解消するためになされたもので、半導体記憶装置のパッケージを開封することなく、冗長回路を使用しているかどうかを簡単に短時間で判定することができる半導体記憶装置を得ることを目的とする。

【0010】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、不良のメモリセルと冗長メモリセルとの置き換えに対応して切断されるヒューズと、上記ヒューズの状態に応じた電位をラッチし出力する検出手段と、外部からの制御信号に基づき上記検出手段の出力を出力端子に接続する接続手段とを備えたものである。

【0011】

【作用】請求項1に係る発明においては、検出手段が、不良のメモリセルと冗長メモリセルとの置き換えに対応して切断されるヒューズの状態に応じた電位をラッチし出力し、接続手段が外部からの制御信号に基づき上記検出手段の出力を出力端子に接続する。

【0012】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1は、この発明による半導体記憶装置の一部である出力回路部分を示しており、同図において、11は電源V_{cc}に接続された抵抗素子、12は一端が接地され、他端が抵抗素子11に接続されたヒューズであり、ヒューズ12はポリシリコン、タングステンポリサイド、モリブデンポリサイドなどの材料で形成され、後述するように、製造工程において冗長回路を使用する場合には、このことを検出するためにレーザ等により切断されるものである。13は一端が電源V_{cc}に接続され、他端がヒューズ12に接続された容量素子（キャパシタ）、14aは一端が電源V_{cc}に接続され、他端がヒューズ12に接続されたPMOSトランジスタ、15はヒューズ12の電位を受け、レベルを反転した後PMOSトランジスタ14aのゲートに出力するインバータである。PMOSトランジスタ14aとインバータ15はラッチ回路を構成する。また、抵抗素子11～インバータ15は冗長回路を使用しているかどうかを判定する検出回路1を構成する。

【0013】21はNMOSトランジスタ、22はPMOSトランジスタであり、NMOSトランジスタ21とPMOSトランジスタ22とは互いに並列に接続されることによりスイッチを構成し、制御信号に基づき検出回路1の出力を出力端子102を通して外部に出力する。また、制御信号（ノードa）はNMOSトランジスタ21のゲートに入力されるとともに、インバータ23に入力される。インバータ23の出力端はPMOSトランジスタ22のゲートに接続されている。トランジスタ2

4

1、22及びインバータ23はスイッチ回路2を構成する。

【0014】31、32は、テスト端子101を通してスイッチ2を制御するための信号を受け、NMOSトランジスタ33のゲートに供給するNMOSトランジスタである。NMOSトランジスタ33はNMOSトランジスタ32が出力するレベルに基づき通常動作を行うか、テスト動作を行うかを判定する。34はNMOSトランジスタ33に直列に接続された抵抗素子である。NMOSトランジスタ31～33、抵抗素子34は、制御回路3を構成する。制御回路3は、テスト端子101に電源電圧以下の電圧が与えられた場合はノードaにLレベルを出力し、電源電圧を超える電圧が与えられた場合はHレベルを出力する。テスト端子101は、半導体記憶装置の端子のひとつとして設けられるか、あるいはアドレス端子のひとつと共用したりする。

【0015】なお、図1のキャパシタ13は、ヒューズ12を切断した際に完全にヒューズ12を切断できずにリークが生じた場合の誤動作を防止するためである。すなわち、抵抗11に流れる電流が切断されたヒューズ12に流れる電流以下の場合には、ヒューズ2が切断されていない状態と同じになってしまい、正しい信号が出力されないことがある。そこで、電源電圧の立ち上がりキャパシタ13を介してインバータ15の入力に供給し、ラッチ回路14a、15をHレベルにラッチさせ、誤動作を防止する。

【0016】また、図2はこの実施例による半導体記憶装置の概略を示す構成図であり、出力バッファ67に並列に判定回路68が設けられ、この点が従来の半導体記憶装置と異なる。判定回路68は、図1の検出回路1、スイッチ回路2及び制御回路3とから構成されている。

【0017】図2の半導体記憶装置の製造においては、歩留まりを向上するために、従来の場合と同様に、不良のメモリセルを予備のメモリセルと入れ換えることが行われる。そして、このとき同時に判定回路68のヒューズ12も切断される。これは、この半導体記憶装置が製品になった後でもパッケージを開封することなく冗長回路の使用状況を判定できるようにするためである。すなわち、メモリセルアレイ55の一部のメモリセルが不良となり、冗長回路（行冗長ヒューズ56、行冗長デコード57、行冗長メモリ60等）を使用する場合には、冗長回路の所定のヒューズを切断し、不良のメモリセルを冗長回路のメモリセルで置き換えるが、この実施例1においては、さらに、冗長回路とは別に設けられた検出回路1のヒューズ12を切断しておく。一方、冗長回路がひとつも使用されない場合は、ヒューズ12は切断されない。この状態で半導体記憶装置はパッケージに収められ製品化される。ヒューズ12の切断は、レーザにより、あるいはヒューズ材質の発熱を利用して電氣的に切断される。以上のように、ヒューズ12は、メモリセル

5

がひとつでも冗長メモリに置き換えられたら切断されるものである。そして、このような工程を経たうえでパッケージングされ、製品として出荷される。

【0018】次にこの半導体記憶装置の完成後の動作について説明する。検出回路1は、ヒューズ12が切断されているかどうかを検出する。すなわち、冗長回路が全く使用されない場合は、ヒューズ12は切断されず、したがって抵抗素子11とヒューズ12との接続点はLレベルである。この信号はインバータ15により反転された後、PMOSTランジスタ14のゲートに入力（Hレベル）される。このためPMOSTランジスタ14がOFFになるから、ヒューズ12のLレベル出力がスイッチ回路2に対し送出される。

【0019】一方、冗長回路がひとつでも使用されている場合は、ヒューズ12は切断されており、インバータ15にはHレベルが入力されるからPMOSTランジスタ14はONし、ヒューズ12のレベルはHレベルにラッチされる。したがって、スイッチ回路2に対しHレベル出力が送出される。このように、検出回路1は、冗長回路が使用されているときにHレベルを、使用されていないときにLレベルを出力する。なお、容量素子13は、電源電圧の立ち上がりインバータ15の入力に供給し、ラッチ回路14a、15をHレベルにラッチさせることにより、動作を安定させるためのものである。

【0020】この検出回路1の出力信号は、以下に示すように、スイッチ回路2により、半導体記憶装置が冗長回路を使用しているかどうかを判定する場合にのみ通常の読み出しデータに代わって出力端子102から出力される。

【0021】まず、半導体記憶装置に対し通常の動作を行わせる場合は、テスト端子101から入力するレベルVINを電源電圧Vcc以下としておく。すると、NMOSTランジスタ31、32のスレッシュホールドをVthとして、VIN-2Vthの電圧がNMOSTランジスタ33のゲートに印加される。したがって、NMOSTランジスタ33はOFF状態であるから、制御回路3の出力（ノードa）はLレベルになる。これにより、NMOSTランジスタ6のゲートはLレベル、PMOSTランジスタ7のゲートはHレベルとなり、いずれのランジスタもOFFである。すなわちスイッチ回路2はオープン状態であり、出力端子102には検出回路1の出力は表れず、出力バッファ回路101の出力がそのまま表れる。このように、出力端子102にはメモリセルに記憶されたデータが出力され、通常動作を行う。

【0022】次に、半導体記憶装置が冗長回路を使用しているかどうかを判定する場合は、出力バッファ回路101が出力しないように読み出し動作を停止させておくとともに、テスト端子103から入力するレベルを電源電圧Vccを超える電圧（例えばVcc+0.5V~Vcc+1V以上）を与える。すると、NMOSTランジスタ3

6

3のゲートの電圧がスレッシュホールドレベルを越え、ONになる。したがって、ノードaはHレベルになる。これにより、NMOSTランジスタ6とPMOSTランジスタ7とがONし、検出回路1が判定した冗長回路使用の有無の結果が出力される。

【0023】このように、この実施例1の半導体記憶装置によれば、パッケージを開封することなく、入力端子101から制御信号を入力することにより冗長回路を使用しているかどうかを簡単に短時間で判定することができる。また、図1の回路によれば、ヒューズ12は抵抗11と直列に接続されたうえで電源に接続されているため、ヒューズ12を直接電源に接続し、その出力を取り出す場合に比べ消費電流が小さくなり、検出回路1の動作が安定する。さらに、NMOSTランジスタ21とPMOSTランジスタ22とからなるスイッチを介して検出回路1の出力を取り出しているため、出力端子102を通常の出力端子と共通化でき半導体記憶装置の端子数が少なくすむ。また、このスイッチを制御する信号はそのレベルにより制御するものであるから、通常の入力（例えばアドレス端子）と共通化でき半導体記憶装置の端子数を節約できる。

【0024】実施例2. 上記実施例1において、検出回路1の抵抗素子11を電源電圧Vcc側に、ヒューズ12を接地側に設けたが、図3に示すように、抵抗素子11を接地側に、ヒューズ12を電源電圧Vcc側に設けてもよい。このとき、NMOSTランジスタ14bとインバータ15からなるラッチ回路を接地側に設ける。また、ランジスタ14bにはNMOSTランジスタを用いる。図3の回路では、検出回路1の出力の論理は実施例1の場合と反対になるが、上記実施例1と同様の効果を奏する。なお、図3の回路にも、接地側に図1のキャパシタ13を設けてもよい。

【0025】実施例3. 上記実施例1及び2において、1つのデータ出力端子に判定回路を設けた場合を例にとり説明したが、複数のデータ出力端子をもつ半導体記憶装置であれば、全ての出力端子に判定回路を設けてもよい。

【0026】図4にこの実施例3の半導体記憶装置の一例を示す。同図において、メモリセルアレイ55a~55d、行冗長メモリ60a~60d、列冗長メモリ61a~61d、プリアンプ66a~66d、出力バッファ67a~67d、判定回路68a~68dは図2と同じものであり、出力端子102a~102dは図1あるいは図3と同じものである。図4は、4つのデータ出力端子をもつ半導体装置であり、各出力端子にそれぞれ判定回路68a~68dが接続されている。なお、図4において、図2のセンスアンプ62、I/Oコントロール63等の表示は省略している。

【0027】複数のデータ出力端子をもつ半導体記憶装置の場合、図4に示すように出力端子102a~102

8

*しているが、ノード a が L レベルのときに ON するようにしてもよい。また、冗長回路に置き換えたときにヒューズ 12 を切断していたが、逆に冗長回路の置き換えがないときにヒューズ 12 を切断するようにしてもよい。

【発明の効果】請求項1の発明によれば、冗長メモリセルとの置き換えに対応して切断されるヒューズと、上記ヒューズの状態に応じた電位をラッチし出力する検出手段と、外部からの制御信号に基づき上記検出手段の出力を出力端子に接続する接続手段とを備えたので、半導体記憶装置のパッケージを開封することなく、冗長回路を使用しているかどうかを簡単に判定することができる。

【図１】この発明の実施例１の半導体記憶装置の出力部分の構成図である。

【図3】この発明の実施例2の半導体記憶装置の出力部分の構成図である。

【図5】従来の半導体記憶装置の構成図である。

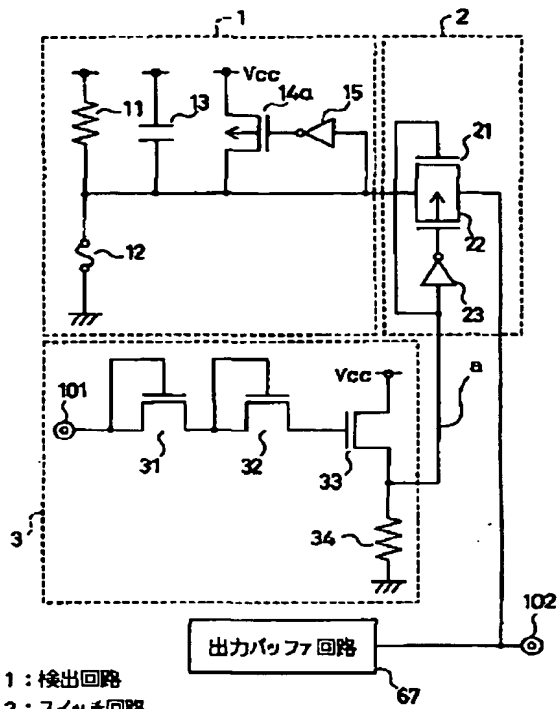
- 1 検出回路
- 1 2 ヒューズ
- 2 スイッチ回路
- 3 制御回路

【0029】なお、この実施例3によれば、他の正常なメモリセルアレイ55b～55dからのデータを出力する端子102b～102dと冗長メモリを使用しているメモリセルアレイ55aからのデータを出力する端子102aとを区別することができるから、これら端子が出力する信号を相互に比較・検討することにより、冗長メモリセルを使うことによる影響、例えばアクセス時間の遅延、ノイズマージンの低下等を調べることができる。

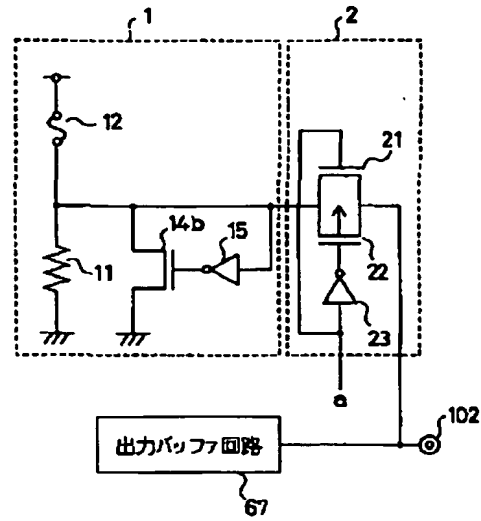
【0030】なお、上記実施例1、2では、ノードaがHレベルのときにトランジスタ6、7がONするように＊

[illegible]

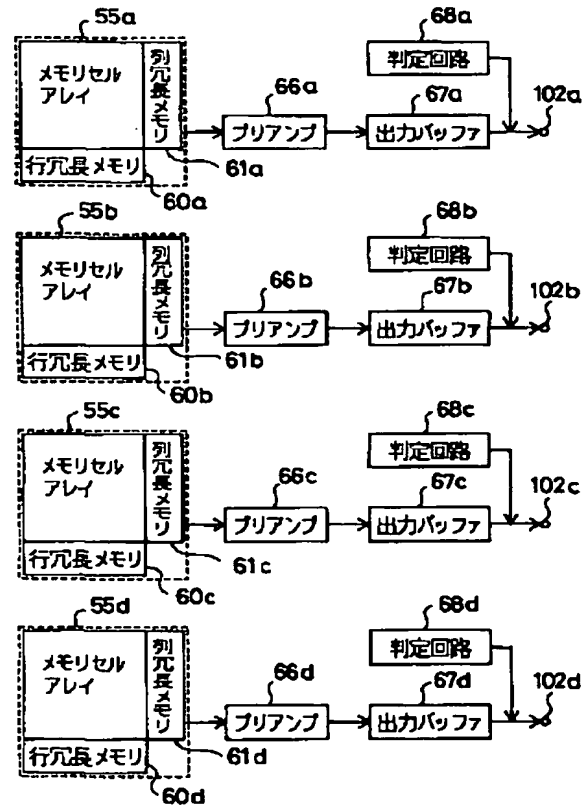
【図 1】



【図 3】



【図 4】



【図 5】

